

PLANE ANTENNA

Publication number: JP8070216

Publication date: 1996-03-12

Inventor: IEDA SEIICHI; MURAKAMI YUICHI; YASUDA TOMIO;
SUGIURA HIROTANE

Applicant: AISIN SEIKI

Classification:

- International: H01Q23/00; H01Q13/08; H03F3/189; H03F3/60;
H01Q23/00; H01Q13/08; H03F3/189; H03F3/60; (IPC1-
7): H01Q13/08; H01Q23/00; H03F3/189; H03F3/60

- European:

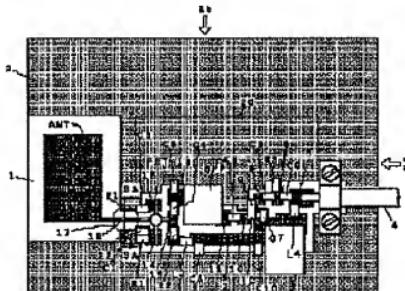
Application number: JP19940202600 19940826

Priority number(s): JP19940202600 19940826

[Report a data error here](#)

Abstract of JP8070216

PURPOSE: To realize an active plane antenna at a low cost with a small height and a low NF in which reduction in a signal level between a high frequency amplifier and an antenna conductor is small by forming a signal line conductor tying a plane antenna conductor and the high frequency amplifier to be an integrated and continuous conductor with the plane antenna conductor. CONSTITUTION: A plane antenna conductor ANT and separate conductors 5-15 for interconnecting amplifier circuit elements are connected to the surface of a dielectric board 1, plural electric circuit elements (FET, BPF or the like) are connected to the separate conductors 5-15 to form a high frequency amplifier 20, then the plane antenna conductor ANT and the high frequency amplifier 20 are formed on the same plane of the dielectric board 1. Then coplanar lines (17;16,21,22) interconnect the plane antenna conductor ANT with the high frequency amplifier circuit 20, and the coplanar line 17 is also on the same plane as the plane antenna conductor ANT and the high frequency amplifier 20. That is, the signal line conductor 16 tying the plane antenna conductor ANT and the high frequency amplifier 20 is integrated and continuous with the plane antenna conductor ANT.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-70216

(43)公開日 平成8年(1996)3月12日

(51)Int.Cl.⁴

H 01 Q 13/08

23/00

H 03 F 3/189

3/60

識別記号 場内整理番号

F I

技術表示箇所

8839-5J

審査請求 未請求 請求項の数1 O L (全5頁)

(21)出願番号 特願平6-202600

(22)出願日 平成6年(1994)8月26日

(71)出願人 00000001

アイシング機械株式会社

愛知県刈谷市朝日町2丁目1番地

(72)発明者 家田清一

愛知県刈谷市朝日町2丁目1番地 アイシ

ング機械株式会社内

(72)発明者 村上裕一

愛知県刈谷市朝日町2丁目1番地 アイシ

ング機械株式会社内

(72)発明者 保田富夫

愛知県刈谷市朝日町2丁目1番地 アイシ

ング機械株式会社内

(74)代理人 弁理士 杉信興

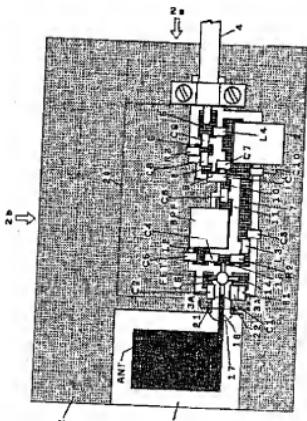
最終頁に続く

(54)【発明の名稱】 平面アンテナ

(57)【要約】

【目的】 低損賞、低NF、低プロフィールおよび低コストのアクティブ平面アンテナの提供。

【構成】 誘電体基板(1)；その裏面に接合した接地導体(3)；基板(1)の表面に接合した平面アンテナ導体(ANT)；アンテナ導体(ANT)と一体連続の、基板(1)の表面に接合した信号線導体(16)；その両側にあってそれとの間に空隙を置いて相対向し信号線導体(16)と共にコアラ線路(17)を形成する。基板(1)の表面に接合した接地導体(21,22)；基板(1)の表面に接合した、増幅回路素子接続用の分離導体(5~15)；および、基板(1)の表面に組付けられ、信号線導体(16)および分離導体(5~15)に接続され、分離導体(5~15)と共に高周波増幅器(20)を構成する、複数個の電気回路素子(FET, BPF, LC, Z, L1~L4, C1~C10, R1~R3)；を備える平面アンテナ。



3
ンテナ導体および高周波増幅器(20)と同一面(誘電体基板)の表面にある。

【0009】このように、平面アンテナ導体(ANT)、コブレナ線路(17=16, 21, 22)および高周波増幅器(20)の3者が同一平面(誘電体基板)の表面にあって、コブレナ線路(17=16, 21, 22)の、平面アンテナ導体と高周波増幅器(20)とを結ぶ信号線導体(16)が、平面アンテナ導体と一体連続のものである、線路長は極く短くでき、低損失かつ低N.F.のアクティプ平面アンテナが実現する。コブレナ線路(17=16, 21, 22)は接地導体(2)(21, 22)に周囲を囲まれた共平面回路であるが、高周波増幅器(20)の入力段のFETの接地接続が容易であり、良好なアースが取れる。

【0010】1つの誘電体基板(1)の表面に平面アンテナ導体(ANT)、コブレナ線路(17=16, 21, 22)および高周波増幅器(20)の3者を装備するので、しかも回路線は基板表面の一層の導体(アリストバターン導体)で済むので、3者を簡潔に構成することができ、低プロファイルの平面アンテナを低コストで提供する。

【0011】

【実施例】図1に本発明の一実施例の上面を示し、図2の(a)には図1の矢印2a方向から見た側面を、図2の(b)には図1の矢印2b方向から見た正面を示す。このアクティプ平面アンテナの構成は、表裏面にアリスト導体を有する誘電体基板1であり、裏面の導体はアンテナの接地導体3として、誘電体基板1の裏面全体にある。裏面の導体は、アリスト回路基板において公知のアリスト導体パターン形成技術により、大きくは、アンテナ導体ANT(アンテナ導体パターン)、接地導体2(接地導体バターン)および増幅回路素子接続用の分離導体5～15(高周波増幅回路配線パターン)に分離されている。細かくは、矩形のアンテナ導体ANTのコーナ部に給電用の信号線導体16が一体連続で形成されており、接地導体2が、この信号線導体16の両隣にそれと所定のギャップを置いて平行に延びている。接地導体2のこの部分21, 22は、信号線導体16と共に、コブレナ線路17を形成している。

【0012】信号線導体16はFETが接続されており、このFETを含む高周波増幅器20の回路素子FET, BPF, IC, Z, L3, L4, C1～C10, R, 40 1～R3が、誘電体基板1の表面の接地導体2、信号線導体16および分離導体5～15に接続されている。同軸ケーブル4の外被導体(信号線)が分離導体5に接続され、同軸ケーブル4の外被導体(接地線)が、ケーブル固定具および基板(11+2+3)を貫通した止めねじを介して、表面の接地導体2および裏面の接地導体3に接続されている。逆に言うと、表、裏面の接地導体2および3は、同軸ケーブル4の外被導体に、クーピル固定具および止めねじで接続されている。

【0013】図4に、図1に示す誘電体基板1の表面に

形成された電気回路の概要を、図5には誘電体基板1の表面に形成された電気回路の詳細を示す。誘電体基板1の材質および厚み、平面アンテナ導体ANTの形状および裏面の接地導体3の面積は、所定波長の電波の送受信に適したものである。この実施例は、GPSにおいて衛星が発信する電波を受信するためのGPS用アンテナである。アンテナ導体ANTに誘起する受信信号が、コブレナ線路17の信号線導体16を通して、回路素子FET, BPF, IC, Z, L3, L4, C1～C10, R, 1～R3および分離導体5～15で構成される高周波増幅器20に与えられ、增幅されて同軸ケーブル4に送り出される。

【0014】図3の(a)に、図1の3A～3B断面すなわちコブレナ線路17部の横断面、を拡大して示す。アンテナ導体ANTと連続した信号線導体16は、接地導体2のコブレナ線路用接地導体21, 22の中央に位置する。本発明者の実験によると、信号線導体16の幅2Aおよびコブレナ線路用接地導体21, 22の間隔(ギャップ)2Bと、それによって形成されたコブレナ線路17のインピーダンスZ₀との関係は、図3の(b)に示すようになり、接地導体21, 22間のギャップ2Bを狭くするほど、また信号線導体16の幅2Aを大きくするほど、インピーダンスZ₀が小さくなる。この特性に従って、所要の特性インピーダンスZ₀のコブレナ線路17を設計することができる。なお、図3の(b)に示す特性は、誘電率ε_rが20、厚みHが5.0mmの誘電体基板1を用いた場合のものである。

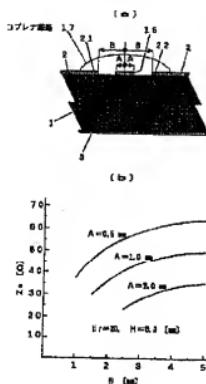
【0015】FETと信号線導体16の間にインダクタансが必要な場合は、図6に示すようにインダクタし1, L₂を接続すればよい。これを行なう構造では、図1に示す信号線導体16とFETの間にもう1つの分離導体を、他の分離導体5～15の形成と同時に形成し、この分離導体にFETおよびチャップインダクタし1, L₂の一端を接続し、チャップインダクタし1, L₂の他端を接地導体2に接続すればよい。

【0016】以上に説明した実施例においては、アンテナ導体ANTは矩形であるが、これを例えば特開平2-130003号公報に開示のスタブ付多角形状のものや特開平6-45824号公報に開示の円板形状のものにすることができる。また、スロットアンテナ形状とすることができる。

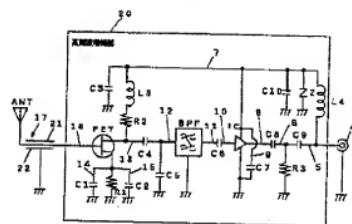
【0017】

【発明の効果】平面アンテナ導体(ANT)、コブレナ線路(17)および高周波増幅器(20)の3者を誘電体基板(1)の同一表面上に装備し、コブレナ線路(17)の、平面アンテナ導体(ANT)と高周波増幅器(20)とを結ぶ信号線導体(16)を、平面アンテナ導体と一体連続のものとしたので、線路長は極く短くでき、低損失かつ低N.F.のアクティプ平面アンテナが実現する。コブレナ線路(17=16, 21, 22)は接地導体(2)(21, 22)に周囲を囲まれた共平面回路であ

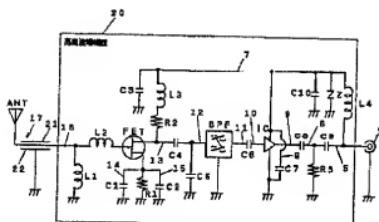
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 杉浦裕風
愛知県刈谷市朝日町2丁目1番地 アイシ
ン精機株式会社内

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168354

(43)公開日 平成11年(1999)6月22日

(51)InLCl.
H03H 11/20
H01P 1/18
1/185

識別記号

F1
H03H 11/20
H01P 1/18
1/185

A

審査請求 未請求 請求項の数15 O.L. (全 15 頁)

(21)出願番号 特願平9-334083

(22)出願日 平成9年(1997)12月4日

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 神谷 信之
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 重松 喬
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 齋藤 雄一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74)代理人 弁理士 宮田 金雄 (外2名)

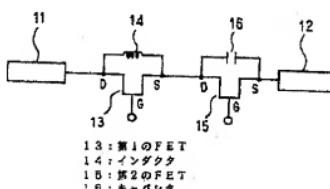
最終頁に続く

(54)【発明の名称】可変移相器

(57)【要約】

【課題】 従来の移相器は、使用周波数に対し1/4波長の電気具をもつ伝送線路が3本必要となるため、回路が大型化するという課題があった。

【解決手段】 FETのドレインとソース間にインダクタまたはキャパシタを接続し、前記FETのゲートにオシ電圧を印加した場合、前記FETのドレインから入力された信号をそのままFETのソースから出力する。一方、前記FETのゲートにビンナオフ電圧を印加した場合、FETがオフ状態となり、前記入力信号は前記インダクタまたはキャパシタを通過するよう構成されている。



(3)

特開平11-168354

3

4

子とする第1のキャバシタと、一端が上記第1のキャバシタの他端に接続され、かつ他端が接地された第1のイングクタと、一端が上記第1のイングクタと上記第1のキャバシタの接続部に接続される。…。

【発明の属する技術分野】この発明はレーダー受信機等に用いられ、高周波信号の位相を電気的に変化させるため、デジタル制御の可能な移相器に関するものであ

中华人民共和国国家知识产权局

申请号: 200410008928.0

前景。除非申请人在本通知书指定的两个月答复期限内提出表明本申请具有创造性的充分理由，否则，本申请将被驳回。

审查员：刘峰

代码：93A7

体が位相差回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路を構成する回路中のキャパシタとしてMIM (Metal Insulator Metal) キャパシタまたはインターデジタルキャパシタを用いることで小型の可変移相器を得るものである。

【0021】また、第1の発明による可変移相器は、前記第1から第14の発明による可変移相器に用いる構成回路を、半導体の同一基板上で一体形成することにより、小型の可変移相器を得るものである。

【0022】

【発明の実施の形態】実施の形態1、この発明による可変移相器の実施の形態1を図1に示す。図1において、1 1は入力端子、1 2は出力端子、1 3はドレインDが入力端子1 1に接続され、高周波信号を通すことが可能な第1のFET、1 4は前記第1のFET1 3のドレインDに接続され、他端が第1のFET1 3のソースSに接続されたインダクタ、1 5はドレインDが第1のFET1 3のソースSに接続され、ソースSが出力端子1 2に接続された第2のFET、1 6は一端が第2のFET1 5のドレインDに接続され、他端が第2のFET1 5のソースSに接続されたキャパシタである。

【0023】次に動作について説明する。まず、第1のFET1 3のゲートGにオン電圧を印加し、かつ第2のFET1 5のゲートGにオン電圧を印加する。この時、第1のFET1 3はドレインDから入力された信号がそのままソースSから出力されるスルーフ状態となる。この状態で入力端子1 1に入力され出力端子1 2から出力された高周波信号の位相を基準として考える。次に、第1のFET1 3のゲートGにピンチオフ電圧を印加し、かつ第2のFET1 5のゲートGにオン電圧を印加する。この時、第1のFET1 3は信号が通過することができないオフ状態となるため、信号はインダクタ1 4を通過する。また第2のFET1 5はドレインDから入力された信号がそのままソースSから出力されるスルーフ状態となる。従って、入力端子1 1から入力された高周波信号はキャパシタ1 6を通過することで上記基準に対し位相が進み、出力端子1 2から出力される。次に第1のFET1 3の

ゲートGにピンチオフ電圧を印加し、かつ第2のFET1 5のゲートGにピンチオフ電圧を印加する。この時、第1のFET1 3は信号が通過することができないオフ状態となるため、信号はインダクタ1 4を通過する。また第2のFET1 5も信号が通過することができないオフ状態となるため、信号はキャパシタ1 6を通過する。従って、入力端子1 1から入力された高周波信号はインダクタ1 4とキャパシタ1 6を通過することで上記基準に対しインダクタ1 4とキャパシタ1 6の位相変化を足しあわせた位相だけ変化し、出力端子1 2から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それれ打ち消しあい、周波数による預きが大きくなるのを防いでいる。よって、第1のFET1 3と第2のFET1 5の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0024】実施の形態2、この発明による可変移相器の実施の形態2を図2に示す。図2において、1 1は入力端子、1 2は出力端子、1 7はドレインDが入力端子

20 1 1に接続され、高周波信号を通すことが可能な第1のFET、1 8は一端が前記第1のFET1 7のドレインDに接続され、他端が第1のFET1 7のソースSに接続された第1のインダクタ、1 9はドレインDが第1のFET1 7のソースSに接続され、高周波信号を通すことが可能な第2のFET、2 0は一端が第2のFET1 9のドレインDに接続され、他端が第2のFET1 9のソースSに接続されたキャパシタ、2 1はドレインDが第2のFET1 9のソースSに接続され、ソースSが出力端子1 2に接続され、高周波信号を通すことが可能な第3のFET、2 2は出端が第3のFET2 1のドレインDに接続され、他端が第3のFET2 1のソースSに接続された第2のインダクタである。

【0025】次に動作について説明する。まず、第1のFET1 7と第2のFET1 9と第3のFET2 1のゲートGにオン電圧を印加する。この時、第1のFET1 7と第2のFET1 9と第3のFET2 1はドレインDから入力された信号がそのままソースSから出力されるスルーフ状態となる。この状態で入力端子1 1に入力され出力端子1 2から出力された高周波信号の位相を基準として考える。次に、第1のFET1 7と第3のFET2 1のゲートGにピンチオフ電圧を印加し、かつ第2のFET1 9のゲートGにオン電圧を印加する。この時、第1のFET1 7と第3のFET2 1は信号が通過することができないオフ状態となるため、信号は第1のインダクタ1 8と第2のインダクタ2 2を通過する。また第2のFET1 9はドレインDから入力された信号がそのままソースSから出力されるスルーフ状態となる。従って、入力端子1 1から入力された高周波信号は第1のインダクタ1 8と第2のインダクタ2 2を通過することで上記基準に対し位相が進み、出力端子1 2から出力される。

力端子、1 2 は出力端子、2 9 はドレイン D が入力端子 1 1 に接続され、高周波信号を通すことが可能な第1のFET、3 0 は一端が前記第1のFET 2 9 のドレイン D に接続され他端が第1のFET 2 9 のソース S に接続された第1のインダクタ、3 1 はドレイン D が第1のFET 2 9 のソース S に接続され、高周波信号を通すことが可能な第2のFET、3 2 は一端が前記第2のFET 3 1 のドレイン D に接続され、他端が第2のFET 3 1 のソース S に接続された第1のキャバシタ、3 3 は一端が第2のFET 3 1 のソース S に接続され、高周波信号を通すことが可能で、回路の特性インピーダンス（一般的には 50Ω ）を持ち、使用周波数において $1/4$ 波長の電気長を持つ主線路、3 4 はドレイン D が前記主線路 3 3 の他端に接続された第3のFET、3 5 は一端が第3のFET 3 4 と主線路 3 3 の接続部に接続され、他端が第3のFET 3 4 のソース S に接続された第2のインダクタ、3 6 はドレイン D が第3のFET 3 4 のソース S に接続され、ソース S が出力端子 1 2 に接続された第4のFET、3 7 は一端が前記第4のFET 3 6 のドレイン D に接続され、他端が第4のFET 3 6 のソース S に接続された第2のキャバシタである。

【0029】次に動作について説明する。まず、第1のFET 2 9 、第2のFET 3 1 、第3のFET 3 4 、第4のFET 3 6 のゲート G にオン電圧を印加する。この時、第1のFET 2 9 、第2のFET 3 1 、第3のFET 3 4 、第4のFET 3 6 はドレイン D から入力された信号がそのままソース S から出力されるスルー状態となる。この状態で入力端子 1 1 に入力され出力端子 1 2 から出力された高周波信号の位相状態を基準とする。次に、第1のFET 2 9 と第3のFET 3 4 のゲート G にビンチオフ電圧を印加し、かつ第2のFET 3 1 と第4のFET 3 6 のゲート G にオン電圧を印加する。この時、第2のFET 3 1 と第4のFET 3 6 はドレイン D から入力された信号がそのままソース S から出力されるスルー状態となる。また、第1のFET 2 9 と第2のFET 3 4 は信号が通過することができないオフ状態となるため、信号が第1のインダクタ 3 0 と第2のインダクタ 3 5 を通過する。この時、入力端子 1 1 から入力された高周波信号は第1のインダクタ 3 0 と第2のインダクタ 3 5 を通過することで上記基準に対し位相が流れ、出力端子 1 2 から出力される。また、第1のインダクタ 3 0 と第2のインダクタ 3 5 の間に主線路 3 3 があるため、第1のインダクタ 3 0 で反射された反射波は位相状態が反転している。このため、それぞれの反射波を打ち消しあい、VSWR (Voltage Standing Wave Ratio) の悪化を防いでいる。次に、第2のFET 3 1 と第4のFET 3 6 のゲート G にビンチオフ電圧を印加し、かつ第1のFET 2 9 と第3のFET 3 4 のゲート G にオン電圧を印加する。この時、第1のFET 2 9

T 2 9 と第3のFET 3 4 はドレイン D から入力された信号がそのままソース S から出力されるスルー状態となる。また、第2のFET 3 1 と第4のFET 3 6 は信号が通過することができないオフ状態となるため、信号は第1のキャバシタ 3 2 と第2のキャバシタ 3 7 を通過することで上記基準に対し位相が流れ、出力端子 1 2 から出力される。また、第1のキャバシタ 3 2 と第2のキャバシタ 3 7 の間に主線路 3 3 があるため、第1のキャバシタ 3 2 で反射された反射波と第2のキャバシタ 3 7 で反射された反射波は位相状態が反転している。このため、それぞれの反射波を打ち消しあい、VSWR (Voltage Standing Wave Ratio) の悪化を防いでいる。次に、第1のFET 2 9 と第2のFET 3 1 と第3のFET 3 4 のゲート G にビンチオフ電圧を印加する。この時、第1のFET 2 9 と第2のFET 3 1 と第3のFET 3 4 と第4のFET 3 6 はそれぞれ信号が通過することができないオフ状態となるため、信号は第1のインダクタ 3 0 と第1のキャバシタ 3 2 と第2のインダクタ 3 5 と第2のキャバシタ 3 7 を通過する。従って、入力端子 1 1 から入力された高周波信号は第1のインダクタ 3 0 と第1のキャバシタ 3 2 と第2のインダクタ 3 5 と第2のキャバシタ 3 7 を通過することで上記基準に対し第1のインダクタ 3 0 と第1のキャバシタ 3 2 と第2のインダクタ 3 5 と第2のキャバシタ 3 7 の位相変化を足し合わせた位相だけ変化し、出力端子 1 2 から出力される。また、インダクタとキャバシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による傾きが大きくなるのを防いでいる。よって、第1のFET 2 9 と第2のFET 3 1 と第3のFET 3 4 と第4のFET 3 6 の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0030】実施の形態5。この発明による可変移相器の実施の形態5を図5に示す。図5において、1 1 、1 2 、2 9 、3 0 、3 1 、3 2 、3 4 、3 5 、3 6 、3 7 は実施の形態4と同じ。3 8 は高周波信号を通すことが可能な第3のインダクタ、3 9 は一端が第3のインダクタ 3 8 の他端に接続され、他端が接地された第3のキャバシタ、4 0 は一端が第3のインダクタ 3 8 と第3のキャバシタ 3 9 の接続部に接続された第4のインダクタである。

【0031】次に動作について説明する。第3のインダクタ 3 8 、第3のキャバシタ 3 9 、第4のインダクタ 4 0 はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には 50Ω ）とすることが可能である。また、このT型ローパスフィルタに入力された信号の位相を $1/4$ 波長運ばせて出力させることも可能である。ここで、上記ローパスフィルタ

リウムと素)を用いた基板、7.4は基板7.3の裏面で接続されたスルーホールである。

【0057】次に動作について説明する。第1のハイインピーダンス線路7.5、インターデジタルキャバシタ7.6、第2のハイインピーダンス線路7.7はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス(一般的には 5Ω)とすることが可能である。また、このローパスフィルタに入力される信号の位相を $1/4$ 波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通して位相を ϕ 、使用周波数を f 、第1のハイインピーダンス線路7.5および第2のハイインピーダンス線路7.7のインダクタンスを L 、インターデジタルキャバシタ7.6のキャバシタンスを C とおくと、 $\omega = 2\pi f$ の関係は前記「算1」で表される。したがって、実施の形態4における主線路3.3としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0058】

【発明の効果】第1の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。

【0059】第2の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。

【0060】第3の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。

【0061】第4の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、 $1/4$ 波長の電気長をもった主線路による反射を低減させ、入出力反射の少ない移相器を得るものである。

【0062】第5の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することによ

り回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0063】第6の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0064】第7の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0065】第8の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0066】第9の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0067】第10の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0068】第11の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャバシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャバシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

15

$$L = \frac{50}{2\pi f \times \tan(\frac{\phi}{2})}$$

16

$$C = \frac{1}{50 \times 2\pi f \times \sin(\phi)}$$

【0042】実施の形態9、この発明による可変移相器の実施の形態9を図9に示す。図9において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、50は高周波信号を通過することが可能な第3のインダクタ、51は一端が第3のインダクタ50の他端に接続され、他端が接地された第3のキャバシタ、52は一端が第3のインダクタ50と第3のキャバシタ51の接続部に接続された第4のインダクタ、53は一端が第4のインダクタ52の他端に接続され、他端が接地された第4のキャバシタ、54は一端が第4のインダクタ52と第4のキャバシタ53の接続部に接続された第5のインダクタである。

【0043】次に動作について説明する。第3のインダクタ50、第3のキャバシタ51、第4のインダクタ52、第4のキャバシタ53、第5のインダクタ54はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このT型ローパスフィルタに入力された信号の位相を1/4波長進らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相をφ、使用周波数をf、第3のインダクタ50および第5のインダクタ54のインダクタンスをし1、第4のインダクタ52のインダクタンスをL2、第3のキャバシタ51と第4のキャバシタ53のキャバシタンスをC1とおくと、φとししとC1とC2の関係は以下の“数5”で表わされる。したがって、実施の形態4における主回路3としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0044】

【数5】

$$L_1 = \frac{50 \times \tan(\frac{\phi}{2})}{2\pi f} \quad L_2 = 2 \times L_1$$

$$C_1 = \frac{\sin(\frac{\phi}{2})}{50 \times 2\pi f \times \tan(\frac{\phi}{2})} \quad C_2 = 2 \times C_1$$

【0045】実施の形態10、この発明による可変移相器の実施の形態10を図10に示す。図10において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、55は高周波信号を通過することが可能な第3のキャバシタ、56は一端が第3のキャバシタ55の他端に接続され、他端が接地された第3のインダクタ、57は一端が第3のキャバシタ55と第3のインダクタ56の接続部に接続された第4のキャバシタ、58は一端が第4のキャバシタ57の他端に接続され、他端が接地された第4のキャバシタ57と第4のキャバシタ58の接続部に接続された第5のインダクタである。

* 條され、他端が接地された第4のインダクタ、59は一端が第4のキャバシタ57と第4のインダクタ58の接続部に接続された第5のキャバシタである。

【0046】次に動作について説明する。第3のキャバシタ55、第3のインダクタ56、第4のキャバシタ57、第4のインダクタ58、第5のキャバシタ59はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このハイパスフィルタに入力された信号の位相を1/4波長進ませて出力させることも可能である。ここで、上記ハイパスフィルタを通過する通過位相をφ、使用周波数をf、第3のインダクタ56と第4のインダクタ58のインダクタンスをし1、第3のキャバシタ55および第5のキャバシタ59のキャバシタンスをC1、第4のキャバシタ57のキャバシタンスをC2とおくと、φとししとC1とC2の関係は以下の“数6”で表わされる。したがって、実施の形態4における主回路3としてこのハイパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0047】

【数6】

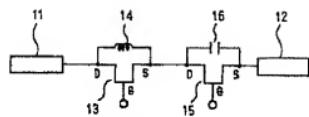
$$L = \frac{50}{2\pi f \times \sin(\frac{\phi}{2})}$$

$$C_1 = \frac{1}{50 \times 2\pi f \times \tan(\frac{\phi}{2})} \quad C_2 = 2 \times C_1$$

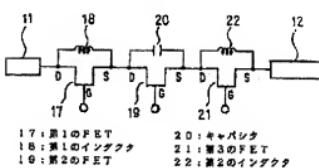
【0048】実施の形態11、この発明による可変移相器の実施の形態11を図11に示す。図11において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、60は高周波信号を通過することが可能な第3のインダクタ、61は一端が第3のインダクタ60の一端に接続され、他端が接地された第3のキャバシタ、62は一端が第3のインダクタ60の他端に接続され、他端が接地された第4のキャバシタ、63は一端が第3のインダクタ60と第4のキャバシタ62の接続部に接続された第4のインダクタ、64は一端が第4のインダクタ63の他端に接続され、他端が接地された第5のキャバシタである。

【0049】次に動作について説明する。第3のインダクタ60、第3のキャバシタ61、第4のキャバシタ62、第4のインダクタ63、第5のキャバシタ64はハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このローパスフィルタに入力

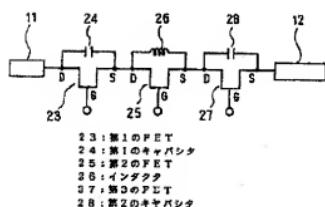
【図1】



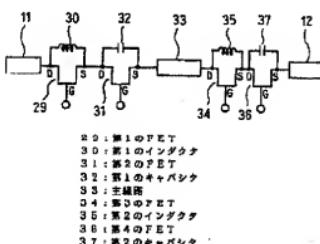
【図2】



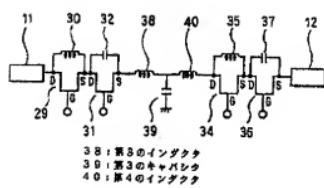
【図3】



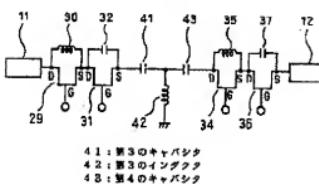
【図4】



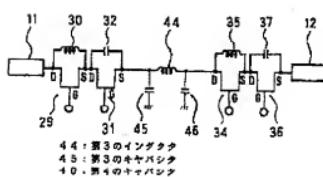
【図5】



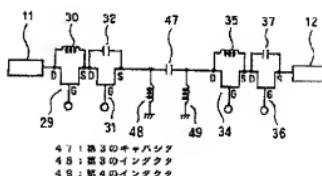
【図6】



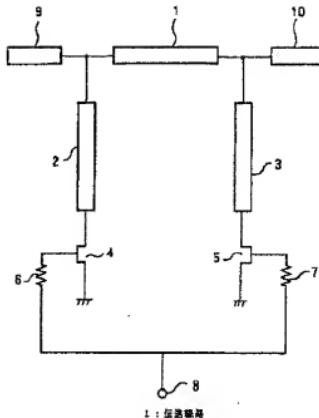
【図7】



【図8】



【図15】



1: 伝導路
 2: 伝送路
 3: 伝送路
 4: FET
 5: FET
 6: 整流
 7: 整流
 8: バイアス端子

フロントページの続き

(72)発明者 面 充徳
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内